МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

**ФГБОУ ВО «АЛТАЙСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»**

ИНСТИТУТ ЦИФРОВЫХ ТЕХНОЛОГИЙ, ЭЛЕКТРОНИКИ И ФИЗИКИ (ИЦТЭФ)

КАФЕДРА ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ И ЭЛЕКТРОНИКИ (ВТиЭ)

**Отчет по лабораторной работе № 4**

по курсу “Схемотехника ЭВМ”

**“Проектирование устройств с Z-состоянием выхода”**

**Вариант №21**

Выполнил студент 506 гр.

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Д.В. Осипенко

Проверил: ст. преп. кафедры ВТиЭ.

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ В.В. Белозерских

Барнаул 2023

# Цель работы:

Получение навыков синтеза различных комбинационных устройств с помощью языка описания аппаратуры AHDL в САПР Altera Max+Plus II.

# **Задачи:**

С помощью текстового редактора (Text Editor) синтезировать комбинационные схемы преобразователя кода, сдвигающего регистра с параллельной загрузкой и дешифратора адреса с заданными параметрами. Подключить их к двунаправленной шине данных в режиме графического редактора (Graphic Editor) и произвести исследование особенностей работы элементов с выходами имеющими Z-состояние. Произвести измерение временных параметров полученной схемы (Simulator).

# Задание:

Вариант №21 – CD2234. Необходимо синтезировать схему, состоящую из 2-х устройств, подсоединенных к двунаправленной шине. Выбор какое устройство в данный момент подключено к шине осуществляется с помощью дешифратора адреса. Управление устройствами осуществляется с помощью внешних сигналов.

# **Выполнение работы:**

Вариант расшифровывается следующим образом:

CD2234 = 1001101’00100010’00110100

Первый и второй байт кода соответствует адресам регистра и преобразователя кода соответственно: адреса регистра – 7, 6, 3, 2, 0; адреса преобразователя кода – 5, 1.

Третий байт отвечает за виды устройства в схеме и способы их синтеза:

00110100 = 0.01.1.010.0

|  | 7 | 6-5 | 4 | 3-1 | 0 |
| --- | --- | --- | --- | --- | --- |
|  | TRI\_P | Регистр | TRI\_ПК | Преобр. кода | ДшА |
| Значение | 0 | 01 | 1 | 010 | 0 |

ДшА (1 бит) - Задает вид синтеза дешифратора адреса:

* 0 – булево выражение;
* 1 – конструкция IF THEN;

Преобр. Кода (3 бита) – задает тип преобразователя кода:

* 000 – BIN => BCD;
* 001 – BIN => код Грея;
* 010 – BIN => код для 7-ми сегментного индикатора;
* 011 – BIN => код для 7-ми сегментного индикатора + точка;
* 100 – BIN => Дополнительный код;
* 101 – BCD => BIN;
* 110 – код Грея => BIN;
* 111 – дополнительный код => BIN.

TRI\_ПК (1 бит) - Задает вид синтеза буферов выхода с Z-состоянием, которые будут использоваться в преобразователе кода:

* 0 – так как указано в Altera MAX+PLUS Help в разделе Implementing Bidirectional Pins, см. SUBDESIGN bus\_reg2;
* 1 – так как указано в Altera MAX+PLUS Help в разделе Implementing Bidirectional Pins, см. SUBDESIGN bus\_reg3.

Регистр (2 бита) – Задает тип синтезируемого регистра:

* 00 – 8-ми разрядный циклический сдвигающий регистр с параллельной загрузкой (сдвиг осуществляется влево);
* 01 - 8-ми разрядный циклический сдвигающий регистр с параллельной загрузкой (сдвиг осуществляется вправо);
* 10 - 8-ми разрядный сдвигающий регистр с параллельным выходом (сдвиг осуществляется влево);
* 11 - 8-ми разрядный сдвигающий регистр с параллельным выходом (сдвиг осуществляется вправо).

TRI\_P (1 бит) - Задает вид синтеза буферов выхода с Z-состоянием, которые будут использоваться в устройстве Регистр:

* 0 – так как указано в Altera MAX+PLUS Help в разделе Implementing Bidirectional Pins, см. SUBDESIGN bus\_reg2;
* 1 – так как указано в Altera MAX+PLUS Help в разделе Implementing Bidirectional Pins, см. SUBDESIGN bus\_reg3.

Следовательно, нам нужно синтезировать схему 4 битного преобразователя кода для 7-ми сегментного индикатора и буферами выхода по методу **bus\_reg3**, 8-ми разрядным сдвигающим регистром с параллельным выходом (сдвигом вправо), и выборами выхода устройства регистра по методу **bus\_reg2**, и дешифратора адреса на основе булева выражения.

С помощью текстового редактора (Text Editor) синтезируем заданный тип преобразователя кода. Код, необходимый для синтеза преобразователя кода из двоичных чисел в коды 7 индикатора и буферами выхода по методу **bus\_reg3** представлен ниже.

subdesign 7segm

(

clk : input;

en\_din: input;

cs : input;

i[7..0] : bidir;

)

variable

tt[3..0] : dffe;

t[7..0] : tri;

begin

tt[].clk = clk;

tt[].d = i[3..0];

tt[].ena = cs and !en\_din;

t[].oe = cs and en\_din;

TABLE

tt[] => t6, t5, t4, t3, t2, t1, t0;

H"0" => 1, 1, 1, 1, 1, 1, 0;

H"1" => 0, 1, 1, 0, 0, 0, 0;

H"2" => 1, 1, 0, 1, 1, 0, 1;

H"3" => 1, 1, 1, 1, 0, 0, 1;

H"4" => 0, 1, 1, 0, 0, 1, 1;

H"5" => 1, 0, 1, 1, 0, 1, 1;

H"6" => 1, 0, 1, 1, 1, 1, 1;

H"7" => 1, 1, 1, 0, 0, 0, 0;

H"8" => 1, 1, 1, 1, 1, 1, 1;

H"9" => 1, 1, 1, 1, 0, 1, 1;

H"A" => 1, 1, 1, 0, 1, 1, 1;

H"B" => 0, 0, 1, 1, 1, 1, 1;

H"C" => 1, 0, 0, 1, 1, 1, 0;

H"D" => 0, 1, 1, 1, 1, 0, 1;

H"E" => 1, 0, 0, 1, 1, 1, 1;

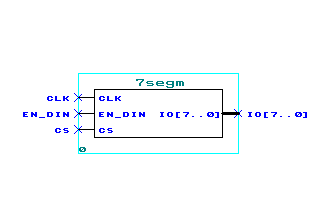
H"F" => 1, 0, 0, 0, 1, 1, 1;

END TABLE;

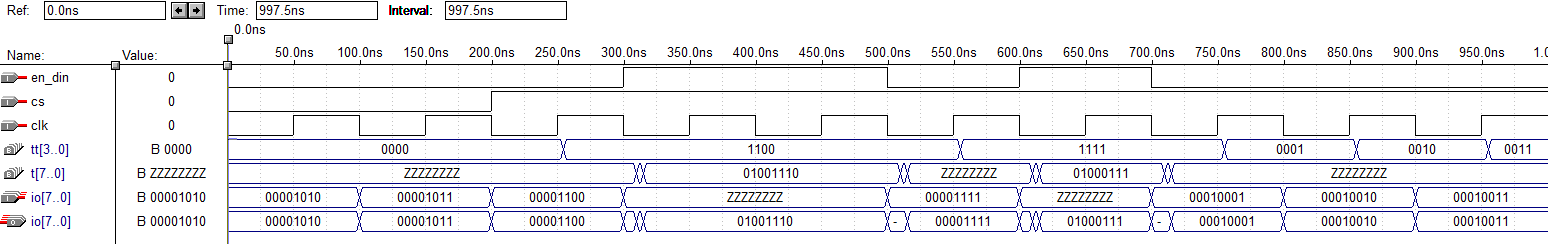
t[7] = gnd;

i[] = t[].out;

end;



*Рис. 1 Символ устройства “7 сегментный индикатора”.*



*Рис. 2 Входные сигналы и отклик преобразователя кода.*

Из диаграммы на рис. 2 видно, что пока устройство не выбрано (CS = 0) никакие сигналы на выход двунаправленной шины не поступают. Таким образом выходы двунаправленной шины io[7..0] повторяют значения входов шины io[7..0]. При CS = 1 устройство начинает работать (происходит защелкивание данных с входов io[7..0]), но преобразование кода и данные на выход двунаправленной шины io[7..0] поступают только в моменты, когда она переключается на вывод с помощью сигнала en\_din = 1. При этом входы двунаправленной шины io[7..0] переходят в Z-состояние, а на выходах появляется результаты работы устройства.

Далее, с помощью текстового редактора (Text Editor) синтезируем заданный тип регистра. Код необходимый для синтеза циклического сдвигающего вправо регистра с параллельной загрузкой и буферами выхода по методу **bus\_reg2** приведен ниже.

subdesign register(

clk : INPUT;

en\_din : INPUT;

cs : INPUT;

load : INPUT;

data[7..0]:BIDIR;

)

variable

ff[7..0]: dffe;

begin

ff[].clk = clk;

ff[].ena = cs and !en\_din;

if load == 1 then

ff[].d = data[];

else

ff[].d = (ff[0], ff[7..1]);

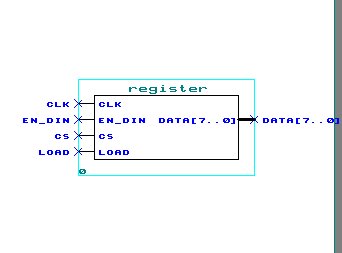
end if;

for i in 0 to 7 generate

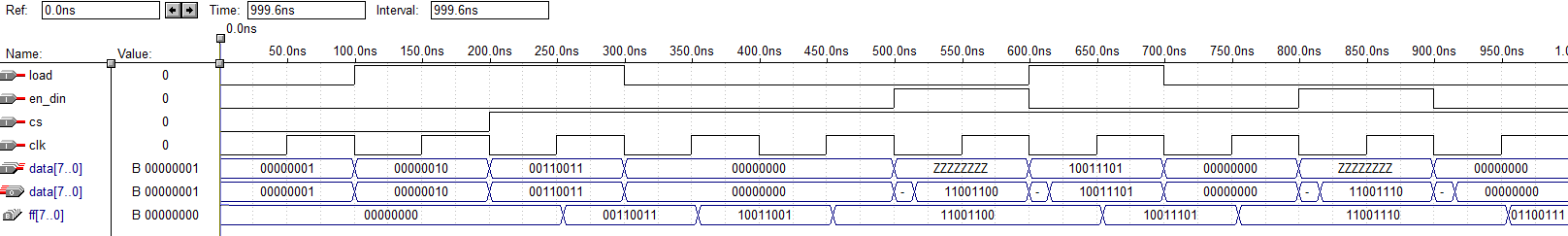
data[i] = tri(.in=ff[i].q, .oe=cs and en\_din);

end generate;

end;



*Рис. 3 Символ устройства “Сдвиговый регистр”.*



*Рис. 4 Входные сигналы и отклик сдвигового регистра.*

Из диаграммы на Рис. 4 видно, что пока устройство не выбрано (CS = 0) никакие сигналы на выход двунаправленной шины Data[7..0] с него не поступают. Таким образом выходы двунаправленной шины Data[7..0] повторяют значение входов шины Data[7..0]. При CS = 1 устройство начинает работать ( по сигналу Load = 1 происходит защелкивание данных с входов Data[7..0] и, при Load = 0 осуществляется циклический сдвиг вправо), но данный на выход двунаправленной шины Data[7..0] поступают только в моменты, когда она переключается на вывод с помощью сигнала en\_din = 1. При этом входы двунаправленной шины Data[7..0] переходят в Z-состояния, а на выходах появляются результаты работы устройства.

Теперь с помощью текстового редактора (Text Editor), используя булевы выражения, синтезируем дешифратор адреса:

subdesign decoder

(

A[2..0] : input;

cs, cs1: output;

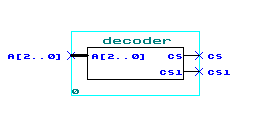
)

begin

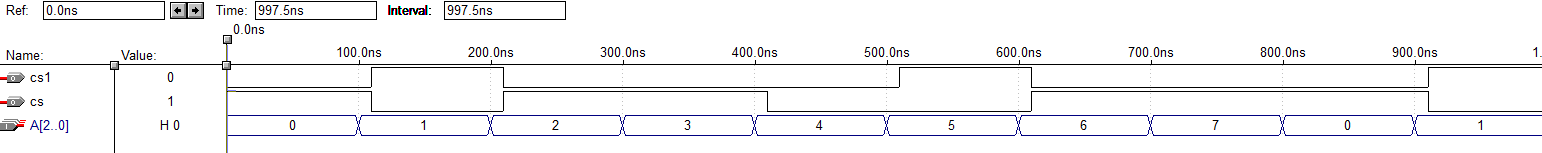
cs = not((a[] == 5) or (a[] == 4) or (a[] == 1));

cs1 = (a[] == 5) or (a[] == 1);

end;

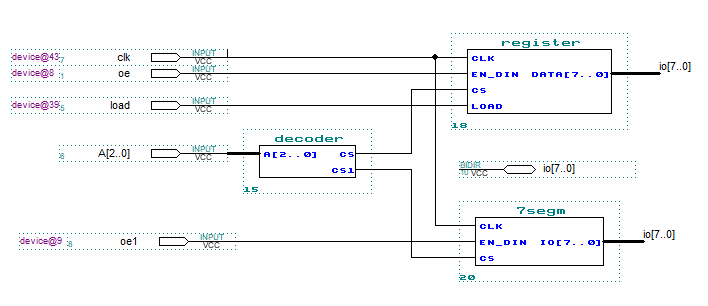


*Рис. 5 Символ устройства “Дешифратор адреса”.*

**

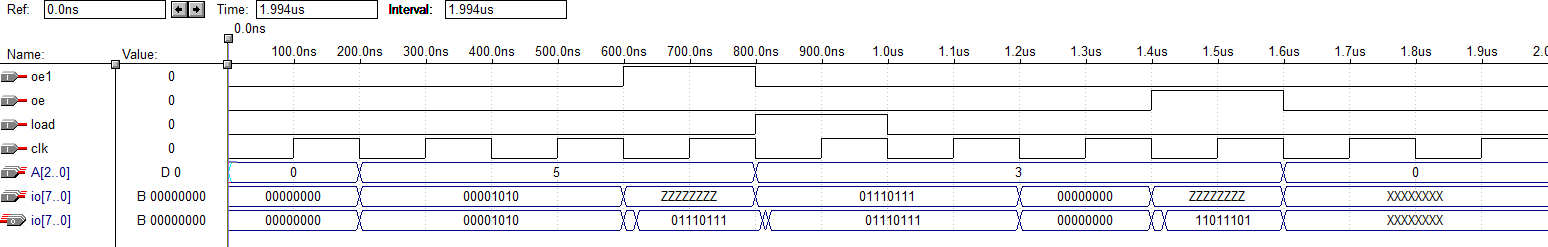
*Рис. 6 Входные сигналы и отклик дешифратора.*

Используя графический редактор (Graphic Editor) строим итоговую схему, состоящую из символов синтезированных устройств, с присоединенными к ним элементами входов и выходов:



*Рис. 7 Схема устройства в Graphic Editor.*

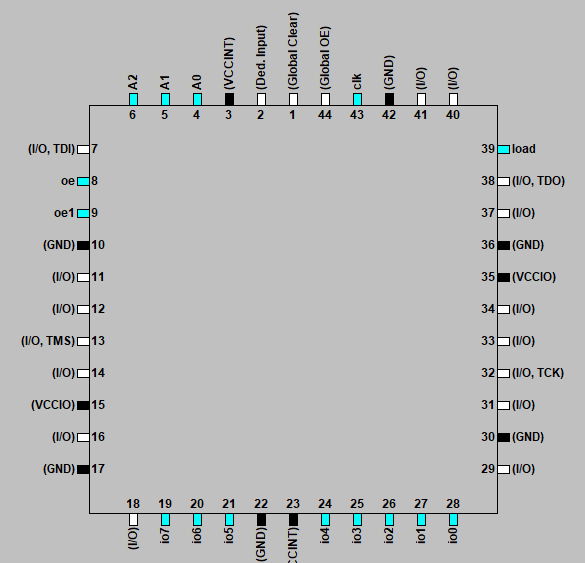
В редакторе Waveform Editor строим диаграмму входных воздействий и проверяем правильность работы схемы целиком:



*Рис. 8 Входные сигналы и отклик устройства.*

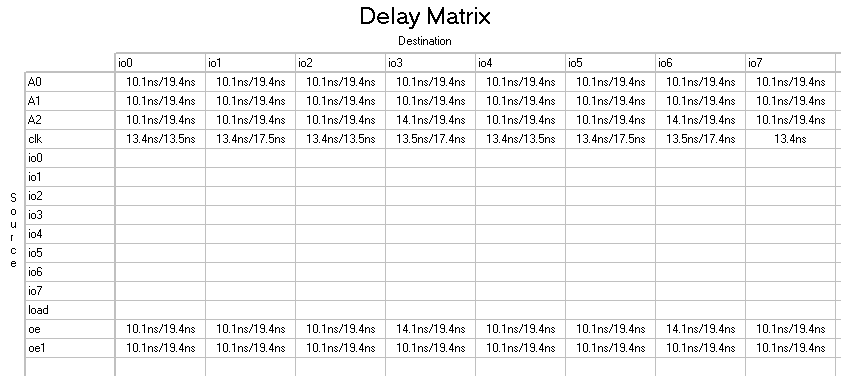
При A[2..0] = 5 начинает работать преобразователь кода (происходит защелкивание данных с входов io[7..0]), но преобразование кода и данные на выход двунаправленной шины io[7..0] поступают только в моменты, когда она переключается на вывод с помощью сигнала oe1 = 1. При этом входы двунаправленной шины io[7..0] переходят в Z-состояние, а на выходах появляется результаты работы преобразователя кода. При A[2..0] = 3 начинает работать сдвиговый регистр (по сигналу Load = 1 происходит защелкивание данных с входов io[7..0] и, при Load = 0 осуществляется циклический сдвиг вправо), но данный на выход двунаправленной шины io[7..0] поступают только в моменты, когда она переключается на вывод с помощью сигнала oe = 1. При этом входы двунаправленной шины io[7..0] переходят в Z-состояния, а на выходах появляются результаты работы сдвигового регистра.

На Рис. 9 представлено расположение входов и выходов на ПЛИС Altera EPM3032ALC44-10:



*Рис. 9 Расположение входов и выходов в Floorplan Editor.*

На рисунке 10 представлена таблица в утилите Timing Analyzer для данной схемы. Задержка переключения состояния выхода со времени подачи управляющего сигнала может достигать 19.4ns.



*Рис. 10 Измерение задержек в Timing analyzer.*

# Вывод:

В ходе выполнения лабораторной работы были получили навыки синтеза различных комбинационных устройств в САПР Altera MAX+PLUS II. Для получения навыков синтеза комбинационных устройств были синтезированы дешифратор адреса, преобразователь кода BIN -> 7segm, циклический сдвиговый регистр с параллельной загрузкой со сдвигом вправо.